

PROBLEM TO BE SOLVED: To prevent the radiation of an electromagnetic wave and malfunctions by electromagnetic waves by connecting a metallic cap to a ground of a mother board via the sealing of a substrate 1, a through-hole and outer terminals at the outermost periphery.

SOLUTION: A metallic cap 15 for covering a semiconductor element 12 provided on a substrate 1 is connected to the substrate 1 through a sealing 4 formed on the substrate 1, and a conductive material 16 of solder and anisotropic conductive adhesive. An outer terminals 18 at the outermost periphery, which are connected electrically to the metallic cap 15 is connected to a wiring 7 supplying a ground of a motherboard. Thus, the metallic cap 15 covering the upper faces of the semiconductor element 12 and the substrate 1 becomes ground potential, and a package is electrically shielded from the outside. Since the electromagnetic wave generated when the device operates and an intruded electromagnetic wave are interrupted by the metallic cap 15, the malfunction of a unit due to the discharge/infiltration of the electromagnetic waves can be reduced.

(19)대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl. ⁶
H01L 23/12

(11) 공개번호 특1999-029419
(43) 공개일자 1999년04월26일

(21) 출원번호	특1998-035871
(22) 출원일자	1998년09월01일
(30) 우선권주장	97-2368541997년09월02일일본(JP)
(71) 출원인	오끼 덴끼 고오교 가부시끼가이샤 사와무라 시코 일본 도쿄도 미나토쿠 도라노몬 1초메 7반 12고
(72) 발명자	데루이 마코토 일본 도쿄도 미나토쿠 도라노몬 1초메 7반 12고오끼덴끼고오교 가부시끼가이샤 나이
(74) 대리인	박해선 조영원

심사청구: 없음

(54) 반도체 장치

요약

외부로의 전자파의 방사나, 외부로 부터의 전자파에 의한 오동작을 방지할 수 있는 반도체장치를 제공한다.

반도체장치에 있어서, 금속제 캡 (15) 을 기판 (1) 의 반도체소자 (12) 탑재면측에 피복시켜, 상기 금속제 캡 (15) 을 기판 (1) 의 실링 (4), 쓰루홀 (5a), 및 가장 외주에 있는 외부단자 (18a) 를 통하여 머더보드 (mother board) 의 접지와 접속시킨다.

대표도

도1

명세서

도면의 간단한 설명

도 1 은 본 발명의 제 1 실시예를 나타낸 반도체장치의 단면도.

도 2 는 본 발명의 제 1 실시예를 나타낸 반도체장치의 평면도.

도 3 은 본 발명의 제 1 실시예를 나타낸 반도체장치의 부분확대도.

도 4 는 본 발명의 제 2 실시예를 나타낸 반도체장치의 단면도.

도 5 는 본 발명의 제 3 실시예를 나타낸 반도체장치의 단면도.

도 6 은 본 발명의 제 3 실시예를 나타낸 반도체장치의 평면도.

도 7 은 본 발명의 제 3 실시예를 나타낸 반도체장치의 평면도.

도면의 주요부분에 대한 부호의 설명

1 : 기판 2 : 캡

- 3, 7 : 배선 4 : 실링
 5 : 쓰루홀 8 : 솔더 레지스트
 10 : 범프전극 11 : 에폭시수지 충전재
 12 : 반도체소자 13 : 전극패드
 15 : 금속제 캡 16 : 도전성재료
 17 : 절연접착제
 18 : 외부단자

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야 종래기술

본 발명은 반도체장치에 관한 것으로, 특히 소면적 어레이 패키지의 구조체에 관한 것이다.

종래의 일반적인 소면적 어레이 패키지는, 동박 또는 텅스텐 등의 금속부재로 배선을 구현한 유기재기판 또는 세라믹재의 기판 상에, 뿔납이나 금 등의 범프를 통하여 반도체칩을 탑재하고, 이 반도체칩과 기판과의 간극에 에폭시계의 액상수지를 충전한 후, 기판의 하면에 뿔납 볼 등의 외부단자를 격자형상으로 배치한 구조로 되어 있다.

발명이 이루고자하는 기술적 과제

그러나, 상기의 종래의 소면적 어레이 패키지의 구조에서는, 반도체칩의 이면 및 배선을 구현한 기판이 노출되어 있기 때문에, 장치의 동작시에 발생하는 전자파가 외부로 방출되기쉬워, 근접하는 다른 장치의 전자파장해의 원인이 되거나, 반대로, 다른 장치로부터의 전자파의 영향도 받기쉽기 때문에, 강력한 전자파를 발생하는 장치의 근방에 설치된 경우에는, 오동작한다는 문제점이 있었다.

본 발명은, 상기 문제점을 제거하여, 외부로의 전자파의 방사나, 외부로부터의 전자파에 의한 오동작을 방지할 수 있는 반도체장치를 제공하는 것을 목적으로 한다.

발명의 구성 및 작용

본 발명은 상기 목적을 달성하기 위해,

[1] 반도체장치에 있어서, 금속제 캡을 기판의 반도체칩 탑재면측에 피복하여, 상기 금속제 캡을 상기 기판의 실링, 쓰루홀, 및 가장외주에 있는 외부단자를 통하여 머더보드의 접지와 접속시킨다.

[2] 반도체장치에 있어서, 패키지 지지핀을 구비한 금속제 캡을 기판의 반도체칩 탑재면측에 피복하여, 상기 기판의 실링부에 제공된 쓰루홀로부터 상기 기판의 이면으로 돌출시킨 상기 금속제 캡의 지지핀을 통하여 머더보드의 접지와 접속시킨다.

[3] 상기 [2]의 반도체장치에 있어서, 상기 지지핀의 길이를 상기 기판의 외부단자의 높이보다도 낮게 설정한다.

[4] 반도체장치에 있어서, 표면에 배선이 형성된 기판과, 이 기판 상에 탑재되어 상기 배선과 접속되는 반도체소자와, 접지전위에 접속된 상기 반도체소자를 피복하는 금속제 캡을 제공한다.

[5] 상기 [4] 기재의 반도체장치에 있어서, 상기 금속제 캡은, 상기 기판에 형성된 쓰루홀을 통하여 상기 기판 이면에 형성된 접지전위와 접속되는 전극에 접속되도록 한다.

[6] 상기 [4] 기재의 반도체장치에 있어서, 상기 금속제 캡은, 상기 기판에 형성된 쓰루홀을 통하여 기판이면으로 돌출하는 돌출부를 갖고, 이 돌출부가 접지전위에 접속되도록 한다.

[7] 상기 [5] 또는 [6] 기재의 반도체장치에 있어서, 상기 금속제 캡이 절연재를 통하여 상기 반도체소자와 접촉되도록 한다.

이하, 본 발명의 실시예에 대하여 도 1, 도 2를 참조하면서 상세히 설명한다.

에서 본 평면도이고, 도 2b 는 기판의 반도체소자 탑재면의 평면도, 도 2c 는 기판의 외부전극 형성면의 평면도이고, 도 3 은 실링 부분의 확대도이다.

도 1 및 도 2에서, 유기재로 이루어지는 기판 (1) 의 표면에는 동박에 의해 배선 (3) 이 형성되어 있다. 기판의 재료로서는 유기재나 세라믹재 등이 일반적으로 이용되지만, 기판이 유기재인 경우는, 동박을 기판의 전체면에 붙여 이를 에칭함으로써, 반도체소자와 접속하기 위한 패드 (2)를 포함하는 배선 (3)을 형성한다.

배선 (3)을 형성할 때의 에칭에 있어서, 도 3a 에 나타난 바와 같이 기판 (1) 와 외주에도 실링 (4) 으로 동박을 남긴다. 실링 (4) 은, 기판 (1) 에 형성된 쓰루홀 (5a) 및 기판 (1) 의 이면에 형성된 배선 (7a) 을 통하여 접지에 전기적으로 접속되는 외부단자를 형성하는 패드 (6a) 에 전기적으로 접속되어 있다. 이 쓰루홀 (5a) 내에는, 도 3b 에 나타난 바와 같이, 에폭시수지 충전재 (11) 로 충전되어도 된다. 또한, 실링 (4) 은, 기판표면상의 배선 (3a)을 통하여 반도체소자의 접지에 접속되는 전극에 대응하는 기판 상의 대응 패드에 전기적으로 접속되어 있다.

기판 상에 형성된 배선 (3) 은, 쓰루홀 (5) 및 기판의 이면에 형성된 배선 (7)을 통하여 외부단자를 형성하는 대응 패드 (6) 에 전기적으로 접속된다.

이들, 배선 (3 및 7)을 포함하는 기판 (1) 의 표면 및 이면은, 패드 (2 및 6) 및 실링 (4)을 각각 노출시킨 상태에서, 솔더 레지스트 (8)에 의해 피복된다.

기판 (1) 표면에는, 범프전극 (10) 을 통하여 반도체소자 (12) 가 탑재되어 있다. 이 반도체소자 (12) 의 표면에는, 도시하지 않은 회로소자와, 이 회로소자에 각각 접속되는 전극패드 (13) 가 형성되어 있고, 이 전극패드 (13) 와 기판 (1) 의 표면에 형성된 패드 (2) 가 범프전극 (10) 을 통하여 전기적으로 접속된다. 또한, 반도체소자 (12) 의 범프전극 (10) 이 형성된 면과 기판 (1) 과의 사이에는, 에폭시계의 수지 (14) 가 충전되어 있다.

기판 (1) 상에는, 반도체소자 (12) 를 피복하기 위한 금속재 캡 (15) 이 구비되어 있다. 이 캡 (15) 은, 기판 (1) 상에 형성되어 있는 실링 (4), 및 땀납이나 이방성 도전접착제 등의 도전성재료 (16) 를 통하여 기판 (1) 과 전기적으로 접속되어 있다. 또한, 이 접속은, 심웰드 (seam weld) 에 의해 수행될 수도 있다.

캡 (15)을 형성할 때에, 이 캡 (15) 과 반도체소자 (12) 는 절연접착제 (17) 에 의해 서로 접속된다.

기판의 이면에 형성된 외부단자를 형성하기 위한 패드 (6) 에는, 땀납 볼 등의 외부단자 (18) 가 형성되어 있다. 여기에서, 가장 외주의 외부단자 (18a) 는, 쓰루홀 (5a) 을 통하여 기판 (1) 의 표면에 제공된 실링 (4) 에 전기적으로 접속되어 있고, 도시하지 않은 머더보드에 실장할 때에, 머더보드측에 접지를 제공하는 배선에 전기적으로 접속된다.

이상과 같이, 제 1 실시예에 의하면, 금속재 캡과 전기적으로 접속된 가장 외주에 있는 외부단자를 머더보드에 접지를 제공하는 각 배선과 전기적으로 접속함으로써, 반도체소자 및 기판의 상면을 피복하고 있는 금속재 캡이 접지전위가 되어, 외관상, 패키지가 전기적으로 외부로부터 실드된 구조로 된다. 이 때문에, 장치의 동작시에 내부로부터 발생하는 전자파나, 외부로부터 침입해오는 전자파는 금속재 캡에 의해 차폐되므로, 전자파의 방출 및 침입에 의한 기기의 오동작을 저감할 수 있다.

또한, 반도체소자와 금속재 캡을 접속하는 절연접착제로서 고열전도성의 재료를 이용하면, 반도체칩으로부터의 열의 방열성의 향상 (패키지로서의 열저항의 저감) 도 기대할 수 있다.

또한, 기판의 재료를 유기재 대신 세라믹재를 이용하는 것도 가능하며, 이 경우는, 동박을 에칭함으로써 형성하였던 배선 대신 도 3c 에 나타난 바와 같이 구리나 텅스텐 등의 도전성 페이스트 (19)를 인쇄함으로써 배선을 형성하고, 쓰루홀 (5a) 내에도 이 도전성 페이스트를 충전시킬 수도 있다.

다음으로, 본 발명의 제 2 실시예에 대하여 설명한다.

도 4 는 본 발명의 제 2 실시예를 나타낸 소면적 어레이 패키지의 단면도이다. 또한, 도 4에서, 제 1 실시예와 동일구성을 나타낸 개소에는, 동일한 부호를 달아, 그 설명을 생략한다.

이 제 2 실시예에서는, 기판 (1) 과 접합하는 금속재 캡 (15) 의 표면의 4 코너에 지지핀 (돌출부 : 20) 을 제공하여, 기판 (1) 표면의 외주실링 (4) 의 코너부에 형성된 쓰루홀 (21) 을 통하여, 기판 (1) 의 이면 (외부단자 탑재면) 에 노출시키고, 머더보드의 실장시에 기판 (1) 으로부터 노출된 지지핀 (20) 을 머더보드측에 접지를 공급하는 배선과 접속시킨다.

지핀의 길이는, 사용하는 외부단자 (18) 의 지름 및 플럭스 (flux) 등의 종류에 따라 다르다). 이 경우도, 기판 (1) 과 금속제 캡 (15) 과의 접합, 및 반도체소자 (12) 와 금속제 캡 (15) 과의 접합은, 제 1 실시예와 동일한 방법을 이용한다.

따라서, 소면적 어레이 패키지 금속제 캡 (15) 을 피복하고, 그 금속제 캡 (15) 에 부착된 지지핀 (20) 을 통하여 머더보드의 접지와 전기적으로 접속시킴으로써, 전자파의 방출 및 외부로 부터의 전자파의 침입을 저감하는 것이 가능해진다.

또한, 기판 (1) 의 이면을 통해 돌출된 각 지지핀 (20) 의 길이를 각 외부단자 (18) 의 높이보다 낮게 설정함으로써, 머더보드 실장시의 각 외부단자 (18) 의 용해에 의한 패키지의 침전량이 조절될 수 있다.

이와 같은 구성으로 한 경우, 금속제 캡에 부착된 지지핀을 머더보드의 접지와 접속시킴으로써, 반도체소자 및 기판의 상면을 피복하고 있는 금속제 캡이 접지전위로 되어, 외관상, 패키지가 전기적으로 외부로부터 차폐된 구조로 된다. 이 때문에, 장치의 동작시에 내부로부터 발생하는 전자파나, 외부로부터 침입해오는 전자파는 금속제 캡에 의해 차폐되므로, 전자파의 방출 및 침입에 의한 기기의 오동작을 저감할 수 있다.

또한, 금속제 캡이 고열전도성의 절연접착제를 통하여, 반도체칩과 접합되어 있기때문에, 반도체칩으로 부터의 방열성의 향상 (패키지로서의 열저항의 저감)을 도모할 수 있다.

또한, 기판의 이면을 통해 돌출된 각 지지핀의 길이를 외부단자의 높이보다도 낮게 설정함으로써, 머더보드 실장시의 외부단자의 용해에 의한 패키지의 침전량의 조절이 가능해져, 머더보드 실장시의 패키지의 과도한 침전을 방지할 수 있어, 실장 후의 플럭스 세정성, 및 머더보드와의 접속신뢰성의 향상을 도모할 수 있다.

다음으로, 도 5, 도 6a 내지 도 6c 를 참조하여 본 발명의 제 3 실시예를 설명한다. 또한, 제 1 실시예와 동일구성을 나타낸 개소에는, 동일한 부호를 달아, 그 설명을 생략한다.

도 5 는 제 3 실시예의 단면도로, 그 사이에 도전층으로 형성된 중간층 (31) 이 제공된 다층기판 (30) 에 의해 형성되어 있는 점에서 제 1 실시예와 상이하다.

도 6a 는 반도체소자 (12) 를 탑재하는 측에서 본 다층기판 (30) 의 평면도이고, 도 6b 는 중간층 (31) 을 나타낸 평면도이고, 도 6c 는 외부전극형성면에서 본 다층기판 (30) 의 평면도를 각각 나타내고 있다.

다층기판 (30) 에는, 등박 또는 텅스텐 등의 금속재료로 이루어지는 중간층 (31) 이 제공된다. 이 중간층 (31) 은, 쓰루홀 (34) 및 범프전극 (33) 을 통하여 반도체소자 (12) 의 접지패드 (32) 에 전기적으로 접속된다.

또한, 중간층 (31) 은, 쓰루홀 (5a) 을 통하여 기판 상에 형성되는 실링 (4) 및 접지에 접속되는 외부단자 (18a) 에 전기적으로 접속된다.

또한, 접지 이외의 입출입 등의 신호가 공급되는 외부전극 (18) 은, 쓰루홀 (5) 을 통해 반도체소자의 대응하는 전극에 전기적으로 접속된다. 접지에 접속되지 않은 쓰루홀 (5) 의 주위에는 중간층 (31) 과의 사이에 간극이 형성되어 있어, 쓰루홀 (5) 과 중간층 (31) 과는 접속되지 않도록 되어 있다.

이와 같이, 중간층 (31) 을 제공함으로써, 반도체소자 (12) 는, 금속제 캡 및 중간층에 의해 외부와 전기적으로 차단되어, 보다 높은 실드효과를 기대할 수 있다.

또한, 접지에 접속되는 외부단자 (18a) 를 다층기판 (30) 의 중심에서 보아 균등해지도록 배치한 경우, 도 7 의 확실표로 나타난 바와 같이 다층기판 (30) 내에 제공된 중간층 (31) 에서의 전류분포가 균일해져, 접지 외부단자 (18a) 에 접속된 캡 (15) 을 포함한 패키지 내의 접지의 임피던스가 안정된다는 효과를 기대할 수 있다.

또한, 다층기판 (30) 의 가장 외주에 배치되는 외부단자를 모두 접지에 전기적으로 접속되는 외부단자 (18a) 로서 설정한 경우, 중간층 (31) 에서의 전류분포가 더욱 균일해짐과 동시에, 외부단자 (18) 의 가장 외주를 접지로 둘러싼 상태가 되므로, 외부단자를 포함한 실드효과를 기대할 수 있다.

또한, 이 제 3 실시예에서도, 제 2 실시예에서 설명한 것과 동일하게, 기판의 코너부에 형성된 쓰루홀을 통하여 연장하도록, 캡에 지지핀을 제공한다. 그 경우, 제 2 실시예와 동일하게, 머더보드 실장시의 외부단자의 용해에 의한 패키지의 침전량의 조절이 가능해져, 머더보드 실장시의 패키지의 과도한 침전을 방지할 수 있어, 실장 후의 플럭스 세정성, 및 머더보드와의 접속신뢰성의 향상을 도모할 수 있다.

발명의 효과

이상의 상세한 설명에 의하면, 본 발명은 금속제 캡과 전기적으로 접속된 가장 외주의 외부단자를 머더보드의 접지와 전기적으로 접속함으로써, 기판의 상면을 피복하고 있는 금속제 캡이 접지전위로 되어, 외관상, 패키지가 전기적으로 외부로부터 차폐된 구조이다.

이 때문에, 장치의 동작시에 내부로부터 발생하는 전자파나, 외부로부터 침입해오는 전자파는 금속제 캡에 의해 차폐되므로, 전자파의 방출 및 침입에 의한 기기의 오동작을 저감할 수 있다.

또한, 금속제 캡을 고열전도성의 절연접착제를 통하여 반도체칩과 접합시킨 경우, 반도체칩으로부터의 열의 방열성의 향상 (패키지로서의 열저항의 저감)을 도모할 수 있다.

(57)청구의 범위

청구항1

표면에 배선이 형성된 기판과,
상기 기판 상에 탑재되어 상기 배선과 접속되는 반도체소자와,
접지전위에 접속된 상기 반도체소자를 피복하는 도전성 캡을 구비한 것을 특징으로 하는 반도체장치.

청구항2

제 1 항에 있어서,
상기 기판의 표면에 형성된 상기 배선은 상기 기판의 표면 및 이면을 관통하는 스루홀을 통해 상기 기판 이면에 형성된 외부전극과 접속되는 것을 특징으로 하는 반도체장치.

청구항3

제 1 항에 있어서,
상기 기판은 표면과 이면 사이에 접지전위에 접속되는 도전성 중간층을 갖는 것을 특징으로 하는 반도체장치.

청구항4

제 1 항 또는 제 2 항에 있어서,
상기 도전성 캡은 상기 기판에 형성된 스루홀을 통하여 상기 기판의 이면으로 돌출하여 접지전위에 접속되는 돌출부를 갖는 것을 특징으로 하는 반도체장치.

청구항5

제 4 항에 있어서,
상기 돌출부는 상기 외부단자의 높이보다도 낮은 것을 특징으로 하는 반도체장치.

청구항6

제 1 항에 있어서,
상기 도전성 캡은 절연재를 통하여 상기 반도체소자와 접촉하고 있는 것을 특징으로 하는 반도체장치.

청구항7

제 2 항에 있어서,
상기 외부전극 중 접지전위에 접속되는 상기 외부전극은 상기 기판의 중심에서 보아 거의 균등하게 배치되는 것을 특징으로 하는 반도체장치.

청구항8

제 2 항에 있어서,
상기 외부전극은 복수의 열의 형태로 형성되고, 그 중의 가장 외주에 위치하는 상기 외부단자를 접지전위로 하는 것을 특징으로 하는 반도체장치.

청구항9

제 4 항에 있어서,
상기 돌출부는 상기 기관의 중심에서 보아 거의 균등하게 배치되는 것을 특징으로 하는 반도체장치.

청구항10

제 4 항에 있어서,
상기 돌출부는 상기 기관의 주위에 제공되고, 상기 외부단자는 상기 돌출부의 내측에 형성되는 것을 특징으로 하는 반도체장치.

청구항11

배선과 주위를 둘러싸는 도전층이 형성된 표면을 갖는 기판과,
상기 기판 상에 탑재되어, 상기 기관의 상기 표면에 형성된 전극이 상기 배선에 접속되는 반도체소자와,
상기 기판 표면에 제공되어, 상기 반도체소자를 피복하고, 상기 도전층에 접속되는 도전성의 캡과,
상기 기관의 이면에 형성되어, 상기 기판에 형성된 쓰루홀을 통하여 상기 배선과 접속되는 외부전극을 구비한 것을 특징으로 하는 반도체장치.

청구항12

제 11 항에 있어서,
상기 도전층은 접지전위에 접속되는 상기 외부단자에 접속되는 것을 특징으로 하는 반도체장치.

청구항13

제 11 항에 있어서,
상기 기판은 상기 표면과 이면 사이에 접지전위에 접속되는 도전성 중간층을 갖는 것을 특징으로 하는 반도체장치.

청구항14

제 11 항에 있어서,
상기 반도체소자는 상기 도전성 캡과 절연재를 통하여 접속되는 것을 특징으로 하는 반도체장치.

청구항15

표면에 형성된 배선,
상기 표면의 주위에 형성된 도전층,
표면과 이면 사이에 형성된 도전성 중간층,
상기 표면과 상기 이면을 관통하여 상기 도전성 중간층과 접속되는 제 1의 복수의 쓰루홀, 및
상기 도전성 중간층과 접속되지 않은 제 2의 복수의 쓰루홀을 갖는 기판과;
신호를 입력 또는 출력하는 복수의 신호전극과, 접지전위에 접속되는 복수의 접지전극을 적어도 포함하는, 상기 배선에 접속되는 복수의 전극을 갖는 반도체소자와;
상기 반도체소자를 피복하는 상기 도전층에 접속된 도전성 캡과;
상기 접지 전극과 상기 제 1의 복수의 쓰루홀을 통하여 접속되는 복수의 제 1 외부전극; 및
상기 신호 전극에 상기 제 2의 복수의 쓰루홀을 통하여 접속되는 복수의 제 2 외부전극을 갖는 것을 특징으로 하는 반도체장치.

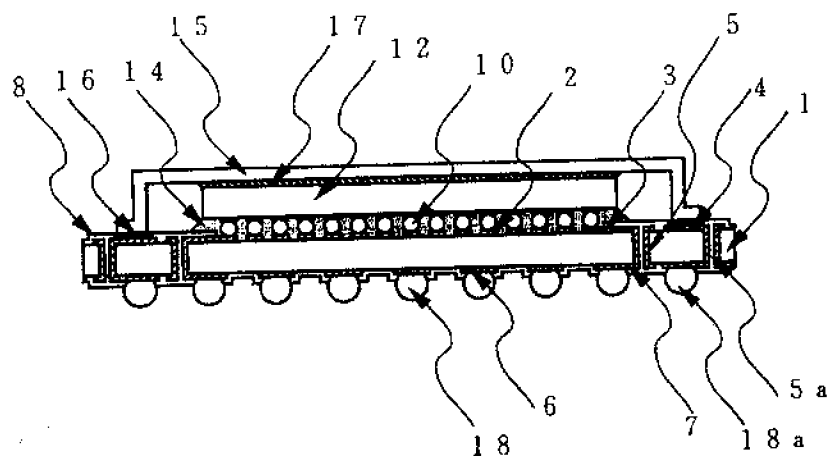
청구항16

제 15 항에 있어서,
상기 제 1의 복수의 외부전극은 상기 기관의 중심에서 보아 거의 균등하게 배치되는 것을 특징으로 하는 반도체장치.

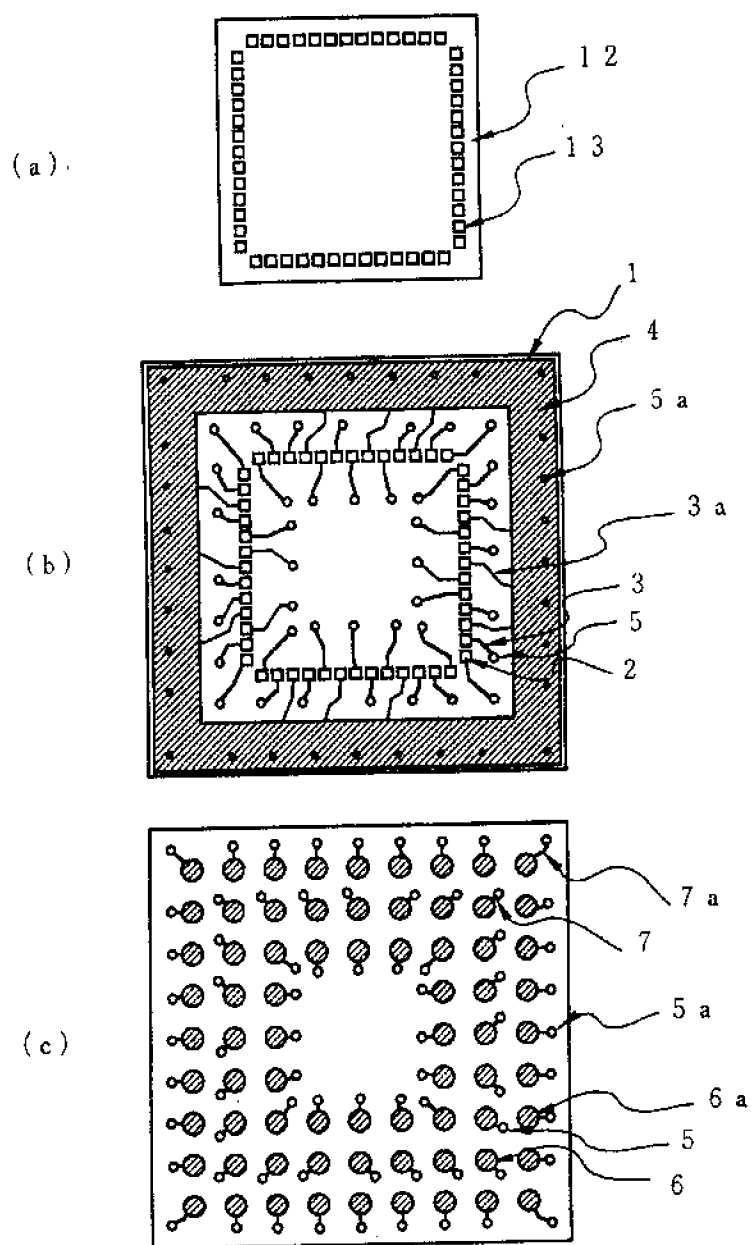
청구항17

제 15 항에 있어서,
상기 제 1의 복수의 외부전극은 상기 기관의 단부 근방에 다른 외부전극을 둘러싸듯이 배치되는 것을 특징으로 하는 반도체장치.

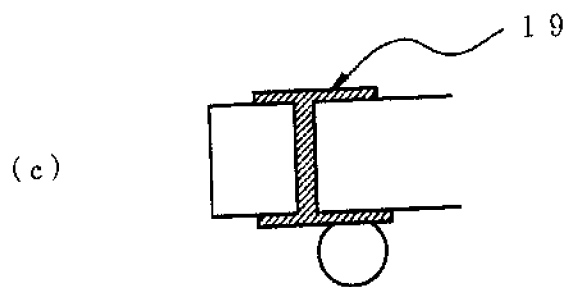
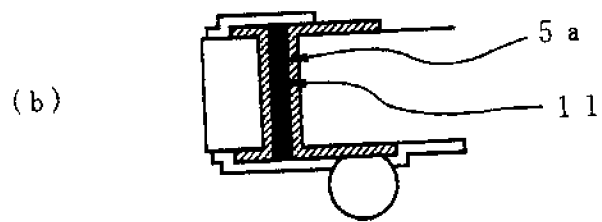
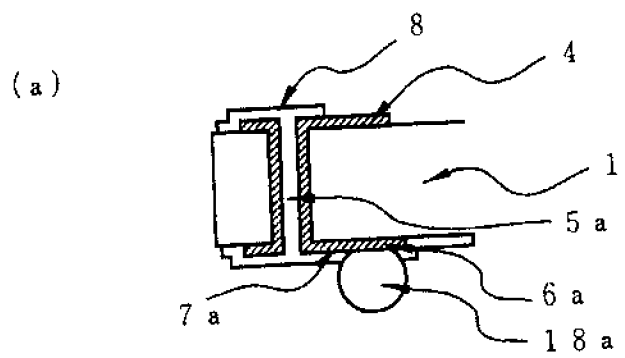
도면1



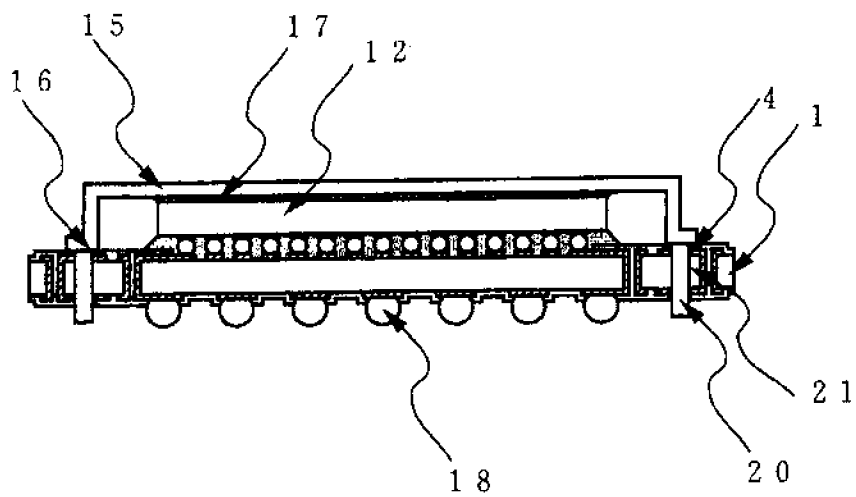
도면2



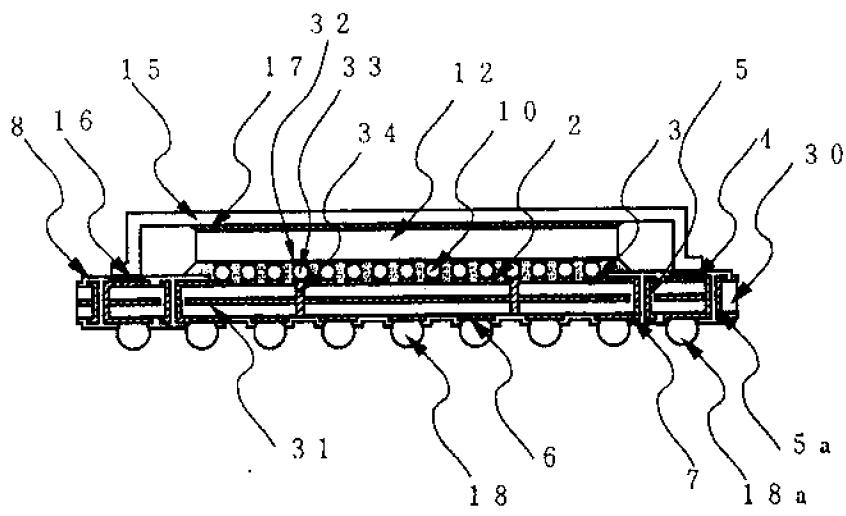
도면3



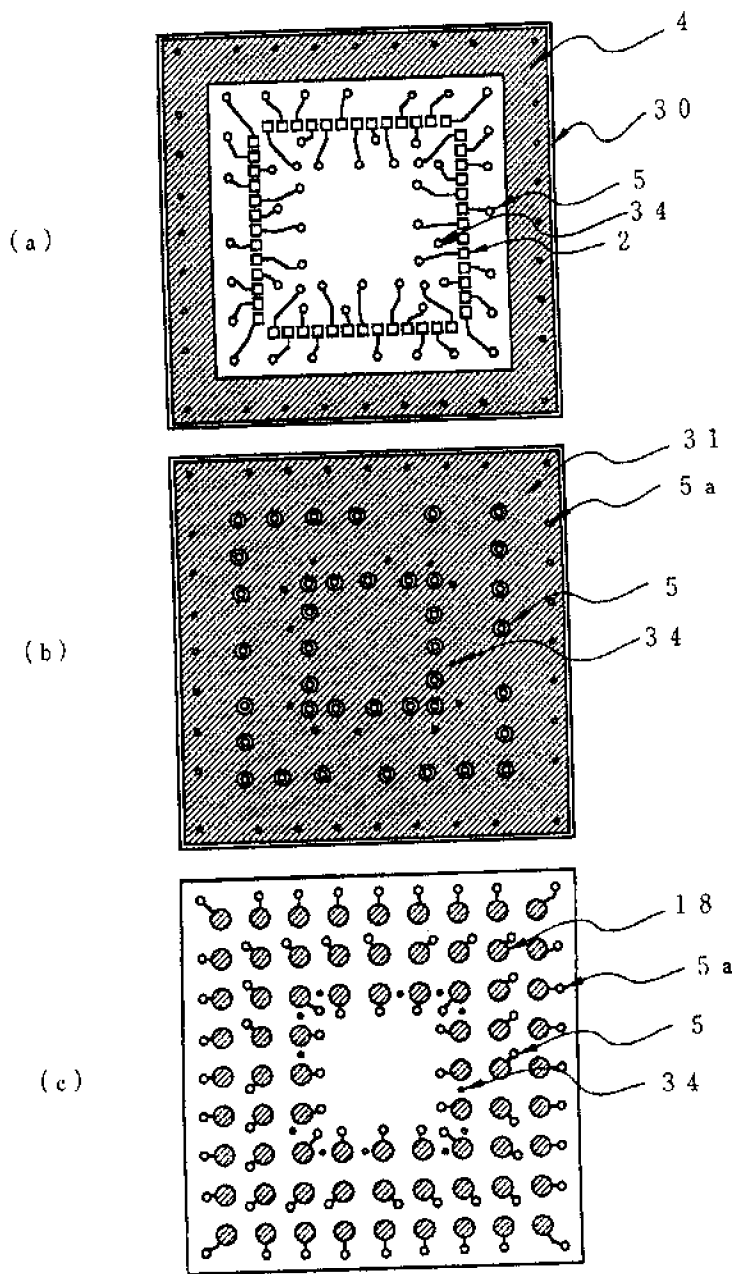
도면4



도면5



도면6



도면7

